

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06120447 A**

(43) Date of publication of application: **28.04.94**

(51) Int. Cl. **H01L 27/108**  
**H01L 21/90**

(21) Application number: **04265785**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **05.10.92**

(72) Inventor: **NOZAKI MASAHIKO**

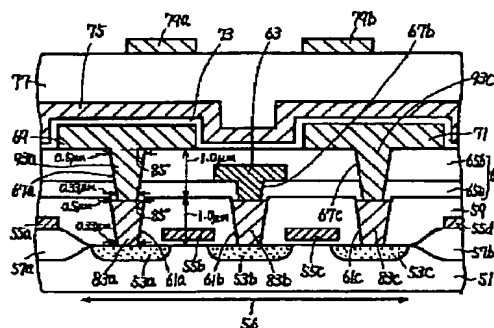
(54) **STRUCTURE FOR CONNECTING CONDUCTIVE LAYERS OF SEMICONDUCTOR DEVICE AND DRAM HAVING SAME**

(57) Abstract:

**PURPOSE:** To prevent the increase of a contact resistance which is caused by the through hole whose diameter is gradually reduced from its upper end to ward its lower end.

**CONSTITUTION:** A storage node 69 and an impurity region 53a are connected electrically by the double structure comprising first and second through holes 61a, 67a. Into first and second through holes 61a, 67a, first and second connecting conductive films 83a, 93a are filled, respectively.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-120447

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/108  
21/90

識別記号

庁内整理番号

B 7514-4M  
9170-4M

F I

H 0 1 L 27/ 10

技術表示箇所

3 2 5 N

審査請求 未請求 請求項の数2(全 15 頁)

(21)出願番号

特願平4-265785

(22)出願日

平成4年(1992)10月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 野崎 雅彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

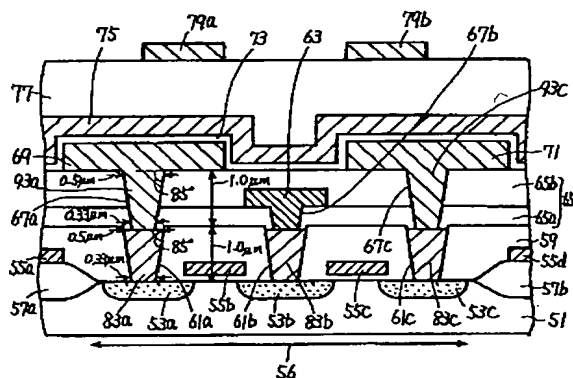
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置の導電層接続構造およびその構造を備えたDRAM

(57)【要約】

【目的】 スルーホールの上端から下端に向かうに従うスルーホールの径の減少に基づくコンタクト抵抗の増大を防ぐことを目的としている。

【構成】 ストレージノード69と不純物領域53aとの電氣的接続を第1スルーホール61aと第2スルーホール67aの2段構造を用いて行なっている。第1スルーホール61a内には第1接続導電膜83aが充填され、第2スルーホール67a内には第2接続導電膜93aが充填されている。



51: シリコン基板  
53a, 53b, 53c: 不純物領域  
55a, 55b, 55c, 55d: ワード線  
59: 第1層間絶縁膜  
61a, 61b, 61c: 第1スルーホール  
63: ビット線  
65: 第2層間絶縁膜  
67a, 67b, 67c: 第2スルーホール  
69, 71: ストレージノード  
75: セルプレート  
83a, 83b, 83c: 第1接続導電膜  
93a, 93c: 第2接続導電膜

## 【特許請求の範囲】

【請求項1】 下部導電層と上部導電層とを電氣的に接続する半導体装置の導電層接続構造であって、前記下部導電層上に形成され、前記下部導電層に到達する第1スルーホールを有する第1層間絶縁層と、前記第1スルーホール内に形成され、前記下部導電層と電氣的に接続された第1接続導電層と、前記第1層間絶縁層上に形成され、前記第1接続導電層に到達する第2スルーホールを有する第2層間絶縁層と、前記第2スルーホール内に形成され、前記第1接続導電層と電氣的に接続された第2接続導電層と、を備え、前記第2接続導電層は、前記第2層間絶縁層上に形成された前記上部導電層と電氣的に接続されている、半導体装置の導電層接続構造。

【請求項2】 主表面を有する半導体基板と、前記主表面に間を隔てて形成された第1および第2ソース/ドレイン領域と、前記第1ソース/ドレイン領域と前記第2ソース/ドレイン領域との間の前記主表面上に形成され、ワード線の一部であるゲート電極と、前記主表面上に形成され、前記第1ソース/ドレイン領域に到達する第1スルーホールを有する第1層間絶縁層と、前記第1スルーホール内に形成され、前記第1ソース/ドレイン領域と電氣的に接続された第1接続導電層と、前記第1層間絶縁層上に形成され、前記第2ソース/ドレイン領域と電氣的に接続されたビット線と、前記第1層間絶縁層上に形成され、前記第1接続導電層に到達する第2スルーホールを有する第2層間絶縁層と、前記第2スルーホール内に形成され、前記第1接続導電層と電氣的に接続された第2接続導電層と、前記第2層間絶縁層上に形成され、前記第2接続導電層と電氣的に接続されたストレージノードと、前記ストレージノード上に形成された誘電体層と、前記誘電体層上に形成されたセルプレートと、を備えたDRAM。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は下部導電層と上部導電層とをスルーホールを用いて電氣的に接続する半導体装置の導電層接続構造およびその導電層接続構造を備えたDRAMに関するものである。

## 【0002】

【従来の技術】 近年、半導体記憶装置はコンピュータなどの情報機器のめざましい普及によってその需要が急速に拡大している。さらに、機能的には大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体装置の高集積化および高速応答性

あるいは高信頼性に関する技術開発が進められている。

【0003】 半導体記憶装置において、記憶情報のランダムな入出力が可能なものにDRAM（ダイナミックランダムアクセスメモリ：Dynamic Random Access Memory）がある。一般にDRAMは多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】 図20は、一般的なDRAMの構成を示すブロック図である。図20において、DRAM1000は、記憶情報のデータ信号を蓄積するためのメモリセルアレイ1100と、単位記憶回路を構成するメモリセルを選択するためのアドレス信号を外部から受けるためのロウアンドカラムアドレスバッファ1200と、そのアドレス信号を解読することによってメモリセルを指定するためのロウデコーダ1300およびカラムデコーダ1400と、指定されたメモリセルに蓄積された信号を増幅して読出すセンスリフレッシュアンプ1500と、データ入出力のためのデータインバッファ1600およびデータアウトバッファ1700と、クロック信号を発生するクロックジェネレータ1800と、を含んでいる。

【0005】 半導体チップ上で大きな面積を占めるメモリセルアレイ1100は、単位記憶情報を蓄積するためのメモリセルがマトリクス状に複数個配列されて形成されている。

【0006】 図21は、メモリセルアレイ1100を構成するメモリセルの4ビット分の等価回路図を示している。図示されたメモリセルは、1個のMOS（Metal Oxide Semiconductor）トランジスタ1900と、これに接続された1個のキャパシタ2000とから構成されるいわゆる1トランジスタ1キャパシタ型のメモリセルを示している。このタイプのメモリセルは構造が簡単なためメモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

【0007】 図22はメモリセルアレイ1100の部分平面図である。メモリセルアレイ内にはマトリクス状に配置されたワード線5a、5b、5c、5dとビット線13a、13b、13cがある。35、37はストレージノードコンタクト部であり、ストレージノードコンタクト部35、37でストレージノードはそれぞれシリコン基板に設けられた不純物領域と電氣的に接続されている。33はビット線コンタクト部であり、ビット線13bはビット線コンタクト部33でシリコン基板に設けられた不純物領域と電氣的に接続されている。34は活性領域である。

【0008】 図23は、図22を矢印A方向から切断した状態の断面図である。シリコン基板1には間を隔ててソース/ドレイン領域である不純物領域3a、3b、3cが形成されている。7a、7bはフィールド酸化膜である。フィールド酸化膜7aとフィールド酸化膜7bとの間の領域が活性領域34である。シリコン基板1上に

は間を隔ててワード線5a、5b、5c、5dが形成されている。この断面ではワード線5b、5cはゲート電極となっている。ワード線5a、5b、5c、5dを覆うようにシリコン基板1上には第1層間絶縁膜9が形成されている。第1層間絶縁膜9には不純物領域3bに到達するスルーホール11が形成されている。ビット線13bはスルーホール11を介して不純物領域3bと電気的に接続されている。

【0009】第1層間絶縁膜9上には第2層間絶縁膜15が形成されている。第1層間絶縁膜9および第2層間絶縁膜15には第1層間絶縁膜9および第2層間絶縁膜15を貫通して不純物領域3a、3cに到達するスルーホール17、19が形成されている。

【0010】第2層間絶縁膜15上にはストレージノード21、23が間を隔てて形成されている。ストレージノード21はスルーホール17を介して不純物領域3aと電気的に接続されている。ストレージノード23はスルーホール19を介して不純物領域3cと電気的に接続されている。ストレージノード21、23の表面には誘電体膜25が形成され、誘電体膜25の上にはセルプレート27が形成されている。セルプレート27の上には第3層間絶縁膜29が形成され、第3層間絶縁膜29の上には配線膜31a、31bが間を隔てて形成されてい

$$0.5\mu\text{m}-2\{1.0\mu\text{m}\times\tan(90^\circ-85^\circ)\}\cong0.33\mu\text{m}$$

図27に示すように、レジスト39を除去する。そして図28に示すように、第1層間絶縁膜9上にビット線13bを形成する。ビット線13bはスルーホール11を介して不純物領域3bと電気的に接続されている。33はビット線コンタクト部である。

【0014】図29に示すように、第1層間絶縁膜9上にたとえば厚さ1.0 $\mu\text{m}$ の第2層間絶縁膜15を形成し、第2層間絶縁膜15上にレジスト41を形成し、レジスト41に所定のパターニングを施す。レジスト41の開口部の径をたとえば0.5 $\mu\text{m}$ にする。図30に示

$$0.5\mu\text{m}-2\{2.0\mu\text{m}\times\tan(90^\circ-85^\circ)\}\cong0.15\mu\text{m}$$

図31に示すように、レジスト41を除去した後、第2層間絶縁膜15上にストレージノード21、23を形成する。ストレージノード21はスルーホール17を介して不純物領域3aと電気的に接続されている。ストレージノード23はスルーホール19を介して不純物領域3cと電気的に接続されている。

【0016】図32に示すように、ストレージノード21、23を覆うように誘電体膜25を形成し、誘電体膜25上にセルプレート27を形成する。セルプレート27上に第3層間絶縁膜29を形成した後、第3層間絶縁膜29上に配線膜31a、31bを形成する。

【0017】次に図23に示す構造の製造方法を平面的に説明していく。図33に示すように、シリコン基板上にフィールド酸化膜7と活性領域34とを形成する。図34に示すように、活性領域34の38aで示す辺をX

る。

【0011】図23に示す構造の製造方法を以下説明していく。図24に示すように、ワード線5a、5b、5c、5dを覆うようにシリコン基板1上に第1層間絶縁膜9を形成する。不純物領域3a、3b、3c上に位置する第1層間絶縁膜9の厚みはたとえば1.0 $\mu\text{m}$ である。図25に示すように、第1層間絶縁膜9上にレジスト39を形成し、レジスト39に所定のパターニングを施す。レジスト39の開口部の径をたとえば0.5 $\mu\text{m}$ にする。

【0012】図26に示すように、レジスト39をマスクとして第1層間絶縁膜9を選択的にエッチング除去し、不純物領域3bに到達するスルーホール11を形成する。スルーホール11の底に行くほど、エッチングガスが入りにくくなるので、スルーホール11の側壁はテーパ状になる。エッチングガスが $\text{CF}_4 + \text{CHF}_3 + \text{Ar}$ を用いた反応性イオンエッチングを用いて、TEOSやBPSGからなる層間絶縁膜をエッチングしスルーホールを形成した場合、側壁は約85°傾いた状態で形成される。スルーホール11の上端の開口部の径は0.5 $\mu\text{m}$ である。したがって、スルーホール11の下端の開口部の径は0.33 $\mu\text{m}$ となる。

【0013】

すように、レジスト41をマスクとして第1層間絶縁膜9、第2層間絶縁膜15を選択的にエッチング除去し、不純物領域3a、3cに到達するスルーホール17、19を形成する。スルーホール11の形成と同じエッチング方法を用いてスルーホール17、19を形成する。このためスルーホール17、19の側壁は約85°傾く。したがってスルーホール17、19の下端の開口部の径は0.15 $\mu\text{m}$ となる。

【0015】

方向、38bで示す辺をY方向としてマスク合わせをし、ワード線5a、5b、5c、5dを形成する。ワード線5a、5b、5c、5dを形成するだけなら、マスク合わせの基準はX方向だけでよいが、このとき周辺領域に形成されるトランジスタのゲート電極も同時に形成される。そのゲート電極はY方向に延びているものがあるので、そのゲート電極の位置決めを行なうためにY方向を使うのである。図34に示す状態に対応する断面図が図24である。

【0018】なお、X方向が縦方向でY方向が横方向になっているのは、DRAMの設計においてはこの図面を90°傾けた状態を基準とするからである。つまり、図34は説明の便宜上、設計の基準となる方向から90°傾けた状態を示している。

【0019】図35に示すように、ワード線5aをX方

向、38bで示す辺をY方向としてマスク合わせをし、ビット線13bが不純物領域と電氣的に接続する際の孔となるスルーホール11(図26参照)を形成する。X方向のマスク合わせの基準をワード線5aとしたのは、マスクずれが原因でワード線とスルーホールとが接触し、ワード線とビット線とが電氣的に接続するのを防ぐためである。そして、スルーホール11の11aで示す辺をX方向、11bで示す辺をY方向としてマスク合わせをし、ビット線13a、13b、13cを形成する。ビット線13a、13b、13cを形成するだけならマスク合わせの基準は11bだけでよいが、このとき周辺領域でX方向に延びる配線層を形成するので、11aもマスク合わせの基準としている。マスク合わせの基準としてスルーホール11の辺11a、11bを用いたのはビット線13bがスルーホール11上に確実に位置するようにするためである。なお33はビット線コンタクト部を示している。図35に示す状態の断面図が図28である。

【0020】次に図36に示すように、ワード線5aをX方向、ビット線13aをY方向としてマスク合わせをし、ストレージノードが不純物領域と電氣的に接続する際の孔となるスルーホール17、19を形成する。35、37はストレージノードコンタクト部を示している。ビット線およびワード線をマスク合わせの基準にしているのは、マスクずれが原因でスルーホールがワード線やビット線と接触し、ストレージノードがワード線やビット線と電氣的に接続されるのを防ぐためである。そしてスルーホール17の辺17aをX方向、辺17bをY方向としてマスク合わせをし、ストレージノードを形成する。辺17a、17bをマスク合わせの基準としたのは、ストレージノードがスルーホール上に確実に位置するようにするためである。図36に示す状態の断面図が図31である。

#### 【0021】

【発明が解決しようとする課題】図30に示すスルーホール17、19はエッチングを用いて形成している。先ほども説明したようにスルーホール17、19の底へ向かうほどエッチングガスが入りにくくなるので、スルーホール17、19の側壁はテーパ状になる。このためスルーホール17、19の深さの寸法が大きくなるほどスルーホール17、19の下端の開口部の径が小さくなる。スルーホール17、19の下端の開口部の径が小さくなると、ストレージノードコンタクト部のコンタクト抵抗が増大し、信号レベルの低下や信号の伝達の遅延等の不都合を引起す。これを解決するため、スルーホール17、19の上端の開口部の径を大きくすることも考えられるが、DRAMの微細化の要請により、上端の開口部の径を大きくするのにも限界がある。

【0022】また、図33～図36ではマスクずれが生じなかった場合を説明したが、マスクずれが生じた場

合、以下に説明するような不都合を生じる。なお、マスクずれの余裕を $\pm 0.1 \mu\text{m}$ とする。図37に示すように、38aで示す辺をX方向、38bで示す辺をY方向としてマスク合わせをし、ワード線5a、5b、5c、5dを形成する。このときX方向、Y方向ともにマスクずれは生じなかったとする。図38に示すように、ワード線5aをX方向、38bで示す辺をY方向としてマスク合わせをし、ビット線13bが不純物領域と電氣的に接続する際の孔となるスルーホール11を形成する。このとき、X方向に $+0.1 \mu\text{m}$ のマスクずれを生じ、Y方向にはマスクずれが生じなかったとする。X方向、Y方向ともにマスクずれが生じなかった場合はスルーホール11は点線で示す位置に形成される。そして、スルーホール11の11aで示す辺をX方向、11bで示す辺をY方向としてマスク合わせをし、ビット線13a、13b、13cを形成する。このときX方向、Y方向ともにマスクずれを生じなかったとする。但し、ビット線13a、13b、13cはX方向に $+0.1 \mu\text{m}$ ずれた位置に形成されたスルーホール11を基準に形成しているので、X方向に $+0.1 \mu\text{m}$ ずれた位置にある。

【0023】図39に示すように、ワード線5aをX方向、ビット線13aをY方向としてマスク合わせをし、ストレージノードが不純物領域と電氣的に接続する際の孔となるスルーホール17、19を形成する。このときX方向に $+0.1 \mu\text{m}$ のマスクずれを生じ、Y方向にはマスクずれを生じなかったとする。そしてスルーホール17の辺17aをX方向、辺17bをY方向としてマスク合わせをし、ストレージノードを形成する。このときX方向、Y方向ともにマスクずれが生じなかったとする。

【0024】図39をC方向から切断して状態の図が図40である。X方向に $+0.1 \mu\text{m}$ ずれた位置に形成されているビット線13aを基準にスルーホール17を形成し、スルーホール17はX方向に $+0.1 \mu\text{m}$ ずれて形成されたので、活性領域34の辺38bを基準とすればストレージノードコンタクト部35はX方向に $+0.2 \mu\text{m}$ ずれた位置に形成されたことになる。

【0025】ストレージノードがビット線やワード線と接触するのを防ぐため、スルーホール17形成の際におけるマスク合わせの基準をワード線とビット線とにしている。したがって、先ほど説明したようにマスクずれが原因でビット線の形成位置がずれ、このずれたビット線を基準にスルーホール17を形成した際にマスクずれを生じたときは、図40に示すようにストレージノードコンタクト部35の全部が不純物領域3a上に位置しないことが起こる。すなわち、スルーホール17を形成するときのマスク合わせの基準として活性領域34の辺38a、38bを基準としていないので、ビット線、スルーホールはマスク合わせの余裕の範囲内で形成されても結果としてはストレージノード21と不純物領域3aとの

接続不良が生じる。なお、これ例ではX方向にマスクずれを生じた場合を説明したが、Y方向についても同様のことが言える。

【0026】この発明はかかる従来の問題点を解決するためになされたものである。この発明の目的は、コンタクト抵抗を小さくすることができる半導体装置の導電層接続構造を提供することである。

【0027】この発明の他の目的は、ストレージノードと不純物領域との電氣的接続を確実に行なうことができるDRAMを提供することである。

【0028】

【課題を解決するための手段】この発明の第1の局面は下部導電層と上部導電層を電氣的に接続する半導体装置の導電層接続構造である。この発明の第1の局面は、下部導電層上に形成され、下部導電層に到達する第1スルーホールを有する第1層間絶縁層と、第1スルーホール内に形成され、下部導電層と電氣的に接続された第1接続導電層と、第1層間絶縁層上に形成され、第1接続導電層に到達する第2スルーホールを有する第2層間絶縁層と、第2スルーホール内に形成され、第1接続導電層と電氣的に接続された第2接続導電層と、を備えている。第2接続導電層は、第2層間絶縁層上に形成された上部導電層と電氣的に接続されている。

【0029】この発明の第2の局面は、主表面を有する半導体基板と、主表面に間を隔てて形成された第1および第2ソース/ドレイン領域と、第1ソース/ドレイン領域と第2ソース/ドレイン領域との間の主表面上に形成され、ワード線の一部であるゲート電極と、主表面上に形成され、第1ソース/ドレイン領域に到達する第1スルーホールを有する第1層間絶縁層と、第1スルーホール内に形成され、第1ソース/ドレイン領域と電氣的に接続された第1接続導電層と、第1層間絶縁層上に形成され、第2ソース/ドレイン領域と電氣的に接続されたビット線と、第1層間絶縁層上に形成され、第1接続導電層に到達する第2スルーホールを有する第2層間絶縁層と、第2スルーホール内に形成され、第1接続導電層と電氣的に接続された第2接続導電層と、第2層間絶縁層上に形成され、第2接続導電層と電氣的に接続されたストレージノードと、ストレージノード上に形成された誘電体層と、誘電体層上に形成されたセルプレートと、を備えたDRAMである。

【0030】

【作用】スルーホールの上端から下端に向かうに従ってスルーホールの径が小さくなる場合、スルーホールの深さが浅いほど径の減少量を小さくすることができる。この発明の第1の局面では上下に並んだ第1および第2スルーホールを用いて上部導電層と下部導電層とを電氣的に接続しているので、スルーホールの径の減少量を従来よりも小さくすることができる。

【0031】この発明の第2の局面は、第1スルーホー

ルおよび第2スルーホールを用いてストレージノードと第1ソース/ドレイン領域との電氣的接続を行なっている。第1スルーホールはビット線より下にあるので、第1スルーホール形成の際におけるマスク合わせの基準をX方向がワード線、Y方向が活性領域の辺にできる。このためY方向については活性領域の辺をマスク合わせの基準にしているので、X方向についてのマスクずれ量がマスクずれの余裕の範囲内なら第1スルーホールは第1ソース/ドレイン領域上に確実に形成される。なお、Y方向のマスクずれについては、ワード線がY方向にずれて形成され、そのずれたワード線を基準に第1スルーホールを形成するので、第1スルーホールがY方向にずれて形成された場合、第1スルーホールは第1ソース/ドレイン領域上に位置しないことが起きる。すなわち、この発明の第2の局面はX方向のマスクずれについて有効となる。

【0032】

【実施例】（第1実施例）図1はこの発明の第1実施例の断面図である。シリコン基板51の間を隔ててソース/ドレイン領域である不純物領域53a、53b、53cが形成されている。57a、57bはフィールド酸化膜である。シリコン基板51上には間を隔ててワード線55a、55b、55c、55dが形成されている。ワード線55b、55cはこの断面ではゲート電極となっている。56は活性領域を示している。

【0033】ワード線55a、55b、55c、55dを覆うようにTEOSやBPSG等からなる第1層間絶縁膜59が形成されている。第1層間絶縁膜59には、不純物領域53a、53b、53cに到達する第1スルーホール61a、61b、61cが形成されている。第1スルーホール61a、61b、61cは、タングステンや多結晶シリコンからなる第1接続導電膜83a、83b、83cで埋込まれている。

【0034】第1層間絶縁膜59上には、TEOSやBPSG等からなる膜65aが形成されている。膜65aには、第1接続導電膜83bに到達する第2スルーホール67bが形成されている。膜65a上にはビット線63が形成され、ビット線63は第1接続導電膜83bと電氣的に接続されている。

【0035】膜65a上には同じくTEOSやBPSG等からなる膜65bが形成されている。膜65a、65bが第2層間絶縁膜65を構成している。第2層間絶縁膜65には、膜65a、65bを貫通して第1接続導電膜83a、83cに到達する第2スルーホール67a、67cが形成されている。

【0036】膜65b上には多結晶シリコン等からなるストレージノード69、71が形成されている。ストレージノード69は第2スルーホール67aを介して第1接続導電膜83aと電氣的に接続されている。ストレージノード69のうち第2スルーホール67a内にある部

分を第2接続導電膜93aと呼ぶ。ストレージノード71も同じように第2スルーホール67cを介して第1接続導電膜83cと電気的に接続されている。93cは第2接続導電膜である。

【0037】ストレージノード69、71の上には誘電体膜73が形成され、誘電体膜73の上にはセルプレート75が形成されている。セルプレート75上には第3層間絶縁膜77が形成され、第3層間絶縁膜77上には配線膜79a、79bが形成されている。

【0038】この発明の第1実施例の製造方法を以下説明していく。図2に示すように、ワード線55a、55b、55c、55dを覆うように第1層間絶縁膜59を形成した。不純物領域53a、53b、53c上に位置する第1層間絶縁膜59の厚みはたとえば1.0μmである。図3に示すように、第1層間絶縁膜59上にレジスト81を形成し、レジスト81に所定のパターニングを施した。レジスト81の開口部の径をたとえば0.5μmにした。そして、レジスト81をマスクとして第1層間絶縁膜59を反応性イオンエッチングを用いてエッチング除去した。エッチングガスはCF<sub>4</sub>+CHF<sub>3</sub>+Arを用いた。したがってスルーホール61a、61b、61cの側壁は85°傾いた。スルーホールの側壁の傾きが85°で、スルーホールの上端の開口部の径が0.5μmだから、スルーホールの下端の開口部の径は0.33μmとなった。

【0039】図4に示すように、第1層間絶縁膜59全面にCVD法を用いて多結晶シリコン膜を形成し、この多結晶シリコン膜をエッチバックすることにより、第1スルーホール61a、61b、61c内に第1接続導電膜83a、83b、83cを埋込んだ。図5に示すように、第1層間絶縁膜59上にTEOSやBPSG等からなる膜65aを形成した。フォトリソグラフィ技術を用いて第1接続導電膜83bが露出するように第2スルーホール67bを形成した。なお、膜65aの厚みの値はあまり小さくなくてもよいので、図3に示す工程において第1スルーホール61bを形成せず、図5に示す工程において第2スルーホール67b形成後、続けて第1スルーホール61bを形成しても、第1スルーホール61bの下端の開口部の径が小さくなりすぎることはない。

【0040】第2スルーホール67b形成後、膜65a上に多結晶シリコン膜を形成し、この多結晶シリコン膜にパターニングを施しビット線63を形成した。図6に示すように、膜65a上にTEOSやBPSG等からなる膜65bを形成した。そして膜65b上にレジスト91を形成し、レジスト91に所定のパターニングを施した。レジスト91の開口部の径はたとえば0.5μmにした。レジスト91をマスクとして反応性イオンエッチングを用いて膜65b、65aをエッチング除去し、第2スルーホール67a、67cを形成した。エッチングガスはCF<sub>4</sub>+CHF<sub>3</sub>+Arを用いた。したがってス

ルーホール67a、67cの側壁は85°傾いた。スルーホール67aの上端の開口部の径が0.5μmであるので、下端の径は0.33μmとなった。そしてレジスト91を除去した。

【0041】図7に示すように、膜65b上にCVD法を用いて多結晶シリコン膜を形成し、所定のパターニングを施すことによりストレージノード69、71を形成した。図8に示すように、ストレージノード69、71の上にシリコン酸化膜とシリコン窒化膜とを積層した構造の誘電体膜73を形成し、誘電体膜73の上に多結晶シリコンからなるセルプレート75を形成した。セルプレート75上にシリコン酸化膜からなる第3層間絶縁膜を形成し、第3層間絶縁膜77の上にアルミニウムからなる配線膜79a、79bを形成した。

【0042】図32に示すように、深さの寸法が2.0μmのスルーホール17の下端の開口部の径は0.15μmであるのに対し、この第1実施例の方法によれば図1に示すように0.33μmとなる。したがって、従来に比べコンタクト抵抗を約4分の1にすることができ

る。

【0043】(第2実施例) 図9はこの発明の第2実施例の断面図である。図1に示すこの発明の第1実施例との違いは、第1スルーホール61a、61b、61cと第2スルーホール67a、67b、67cとの間に多結晶シリコンからなるパッド電極95a、95b、95cを設けたことである。これにより、第2スルーホール67a、67b、67c形成時、マスクずれの量が大きくなっても確実にストレージノードやビット線と不純物領域との電気的接続を行なえる。なお、図1の符号を示すものと同一のものについては同一符号を付してある。この発明の第2実施例の製造方法を以下説明していく。

【0044】第1実施例で説明した図2～図4に示す工程を経た後、図10に示すように第1層間絶縁膜59上にCVD法を用いて多結晶シリコン膜97を形成した。図11に示すように多結晶シリコン膜97に所定のパターニングを施すことにより、第1接続導電膜83a、83b、83cそれぞれに接続するパッド電極95a、95b、95cを形成した。

【0045】図12に示すように、第1層間絶縁膜59上に膜65aを形成した後フォトリソグラフィ技術を用いてパッド電極95b上にスルーホール67bを形成した。後の工程は第1実施例と同じであり、図13に示すようにビット線63、膜65b、ストレージノード69、71、誘電体膜73、セルプレート75、第3層間絶縁膜77、配線膜79a、79bを形成した。

【0046】(第3実施例) 図18はこの発明の第3実施例の断面図である。第3実施例の製造方法を平面的に説明していく。図14に示すように、シリコン基板に形成された活性領域56の58aで示す辺をX方向、58bで示す辺をY方向としてマスク合わせをし、ワード線

55a、55b、55c、55dを形成した。なお、マスクずれの余裕を±0.1μmとする。X方向、Y方向ともにマスクずれが生じなかった。

【0047】図15に示すように、ワード線55aをX方向、58bで示す辺をY方向としてマスク合わせをし、第1スルーホール61a、61b、61cを形成した。そして第1接続導電膜を第1スルーホール61a、61b、61cに埋込んだ。60a、60b、60cが第1接続導電膜コンタクト部である。第1スルーホール61a、61b、61c形成時X方向に+0.1μmのマスクずれが生じ、Y方向にはマスクずれが生じなかった。X方向、Y方向ともにマスクずれが生じなかった場合は第1接続導電膜コンタクト部60a、60b、60cは点線で示す位置になる。

【0048】図16に示すように、第1スルーホール61bの辺62aをX方向、62bをY方向としてマスク合わせをし、ビット線63a、63b、63cを形成した。このとき、X方向、Y方向ともにマスクずれが生じなかった。但し、ビット線63a、63b、63cはX方向に+0.1μmずれた位置に形成された第1スルーホール61bを基準に形成しているので、X方向に+0.1μmずれた位置にある。

【0049】図17に示すように、ワード線55aをX方向、ビット線63aをY方向としてマスク合わせをし、第2スルーホール67a、67cを形成した。64a、64cは第2接続導電膜コンタクト部である。このとき、X方向には+0.1μmのマスクずれが生じ、Y方向にはマスクずれが生じなかった。

【0050】図17をB方向から切断した状態の断面図が図18である。ビット線63aと第2接続導電膜93aとが接触しないように、第2スルーホール67aを形成する際にはビット線63aをマスク合わせの基準にしている。ビット線63aは活性領域56の辺58bを基準にX方向に+0.1μmずれている。第2スルーホール67aはX方向に+0.1μmずれて形成されたビット線63aを基準に形成し、ビット線63aを基準にX方向に+0.1μmずれて形成された。したがって、第2スルーホール67aは辺58bを基準としてはX方向に+0.2μmずれていることになる。

【0051】従来は第2スルーホール67aが不純物領域53aまで到達する構造をしているが、この従来の構造だとスルーホール形成の際にフィールド酸化膜57の一部を削るおそれがあるが、第3実施例では第2スルーホール67aは第1層間絶縁膜59上で止まっているのでこのようなことは起きない。

【0052】したがって第3実施例によれば第1スルーホール61aのX方向のマスクずれがマスクずれの余裕の範囲内であり、第2スルーホール67aのX方向のマスクずれがマスクずれの余裕の範囲内であれば、ストレージノード69と不純物領域53aとの電気的接続を確

実に行なうことができる。なおY方向のマスクずれについてはこの発明を用いても従来とあまり変わりはない。つまり、図15に示すワード線55aがY方向に+0.1μmずれて形成され、このずれて形成されたワード線55aを基準に第1スルーホール61aを形成し、第1スルーホール61aがY方向に+0.1μmずれて形成されたとすると、第1スルーホール61aは辺58aを基準に+0.2μmずれて形成されることになる。これは従来と同じである。

10 【0053】なお図19に示すように、ビット線63aと63bとの間に余裕があれば、第2スルーホール67aの開口部の径を大きくしてもよい。第2スルーホール67aの開口部の径を大きくすればマスクずれの量が大きくても第2接続導電膜93aと第1接続導電膜83aとを確実に接続することができる。

20 【0054】以上説明してきたこの発明の第1～第3実施例ではスルーホールを第1スルーホール61a、第2スルーホール67aの2段構造にしているが、この発明においてはこれに限定されるわけではなく、3段以上の構造であってもよい。

【0055】

【発明の効果】この発明の第1の局面によれば、スルーホールの径の減少量を小さくすることができるので、コンタクト抵抗の増大を防止することができる。したがって、コンタクト抵抗が原因となる信号レベルの低下や信号の遅延等の問題を解決することができる。

30 【0056】この発明の第2の局面によればストレージノードと第1ソース/ドレイン領域との電気的接続を第1スルーホールと第2スルーホールとの2段構造で行なっている。したがって、スルーホールの下端の開口部の減少量を従来より小さくすることができるので、コンタクト抵抗の増大を防止することができる。

【0057】また、この発明の第2の局面によれば、第1ソース/ドレイン領域とストレージノードとの電気的接続を第1スルーホールと第2スルーホールの2段構造で行なっているため、マスクずれに対して従来より強くなり、したがって従来よりもストレージノードと第1ソース/ドレイン領域との電気的接続を確実に行なうことができる。

40 【図面の簡単な説明】

【図1】この発明の第1実施例の断面図である。

【図2】この発明の第1実施例の製造方法の第1工程を示す断面図である。

【図3】この発明の第1実施例の製造方法の第2工程を示す断面図である。

【図4】この発明の第1実施例の製造方法の第3工程を示す断面図である。

【図5】この発明の第1実施例の製造方法の第4工程を示す断面図である。

50 【図6】この発明の第1実施例の製造方法の第5工程を



示す断面図である。

【図7】この発明の第1実施例の製造方法の第6工程を示す断面図である。

【図8】この発明の第1実施例の製造方法の第7工程を示す断面図である。

【図9】この発明の第2実施例の断面図である。

【図10】この発明の第2実施例の製造方法の第1工程を示す断面図である。

【図11】この発明の第2実施例の製造方法の第2工程を示す断面図である。

【図12】この発明の第2実施例の製造方法の第3工程を示す断面図である。

【図13】この発明の第2実施例の製造方法の第4工程を示す断面図である。

【図14】この発明の第3実施例の製造方法の第1工程を示す断面図である。

【図15】この発明の第3実施例の製造方法の第2工程を示す断面図である。

【図16】この発明の第3実施例の製造方法の第3工程を示す断面図である。

【図17】この発明の第3実施例の製造方法の第4工程を示す断面図である。

【図18】図17を矢印B方向から切断した状態の断面図である。

【図19】この発明の第3実施例の変形例の断面図である。

【図20】従来のDRAMのブロック図である。

【図21】従来のメモリセルの等価回路図である。

【図22】従来のメモリセルアレイの部分断面図である。

【図23】図22を矢印A方向から切断した状態の断面図である。

【図24】従来の半導体装置の導電層接続構造の製造方法の第1工程を示す断面図である。

【図25】従来の半導体装置の導電層接続構造の製造方法の第2工程を示す断面図である。

【図26】従来の半導体装置の導電層接続構造の製造方法の第3工程を示す断面図である。

【図27】従来の半導体装置の導電層接続構造の製造方法の第4工程を示す断面図である。

【図28】従来の半導体装置の導電層接続構造の製造方法の第5工程を示す断面図である。

【図29】従来の半導体装置の導電層接続構造の製造方

法の第6工程を示す断面図である。

【図30】従来の半導体装置の導電層接続構造の製造方法の第7工程を示す断面図である。

【図31】従来の半導体装置の導電層接続構造の製造方法の第8工程を示す断面図である。

【図32】従来の半導体装置の導電層接続構造の製造方法の第9工程を示す断面図である。

【図33】マスクずれが生じない場合における従来の半導体装置の導電層接続構造の製造方法の第1工程を示す断面図である。

【図34】マスクずれが生じない場合における従来の半導体装置の導電層接続構造の製造方法の第2工程を示す断面図である。

【図35】マスクずれが生じない場合における従来の半導体装置の導電層接続構造の製造方法の第3工程を示す断面図である。

【図36】マスクずれが生じない場合における従来の半導体装置の導電層接続構造の製造方法の第4工程を示す断面図である。

【図37】マスクずれが生じた場合における従来の半導体装置の導電層接続構造の製造方法の第1工程を示す断面図である。

【図38】マスクずれが生じた場合における従来の半導体装置の導電層接続構造の製造方法の第2工程を示す断面図である。

【図39】マスクずれが生じた場合における従来の半導体装置の導電層接続構造の製造方法の第3工程を示す断面図である。

【図40】図39を矢印C方向から切断した状態の断面図である。

【符号の説明】

51 シリコン基板

53a、53b、53c 不純物領域

55a、55b、55c、55e ワード線

59 第1層間絶縁膜

61a、61b、61c 第1スルーホール

63 ビット線

65 第2層間絶縁膜

67a、67b、67c 第2スルーホール

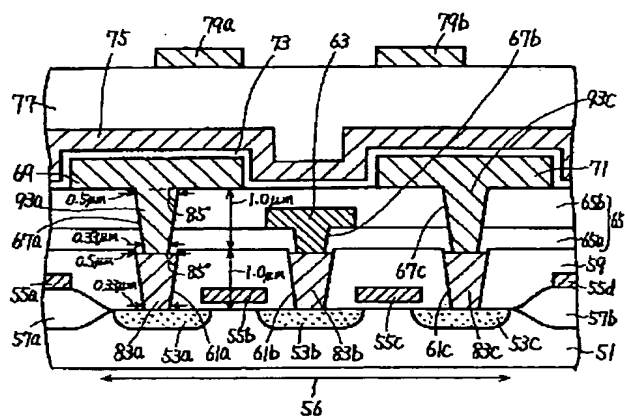
69、71 ストレージノード

75 セルプレート

83a、83b、83c 第1接続導電膜

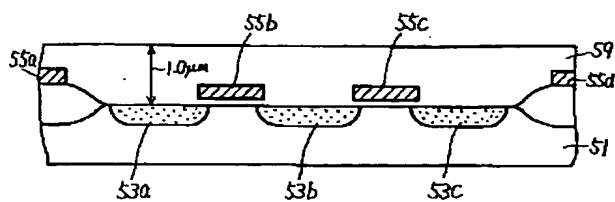
93a、93c 第2接続導電膜

【図1】

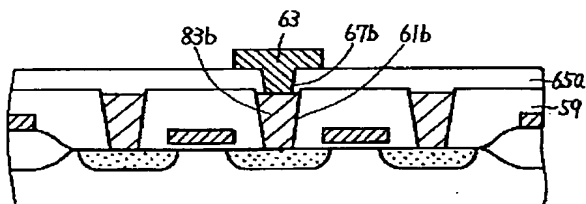


51: シリコン基板  
 53a, 53b, 53c: 不純物領域  
 55a, 55b, 55c, 55d: ワード線  
 59: 第1層間絶縁膜  
 61a, 61b, 61c: 第1スルーホール  
 63: ビット線  
 65: 第2層間絶縁膜  
 67a, 67b, 67c: 第2スルーホール  
 69, 71: ストレージノード  
 75: セルプレート  
 83a, 83b, 83c: 第1柱状導電膜  
 93a, 93c: 第2柱状導電膜

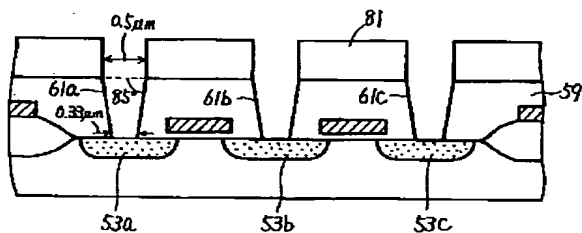
【図2】



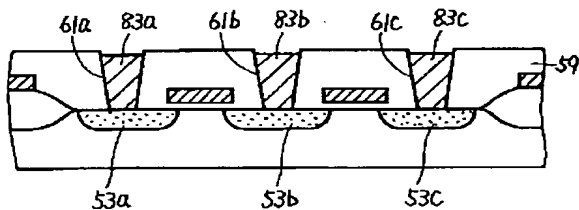
【図5】



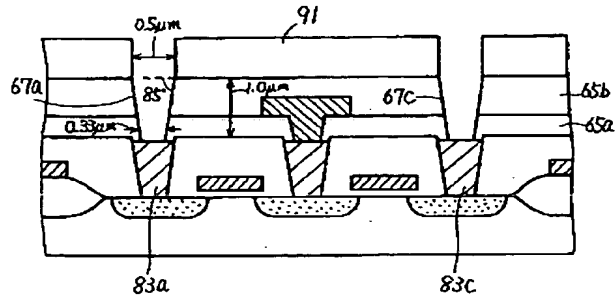
【図3】



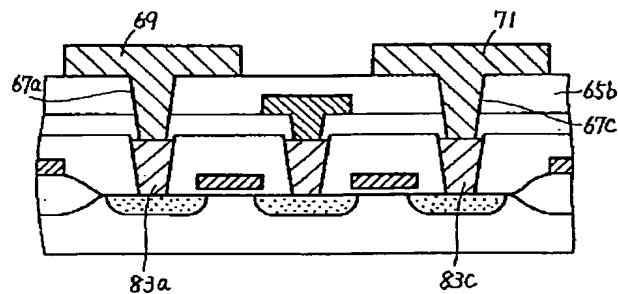
【図4】



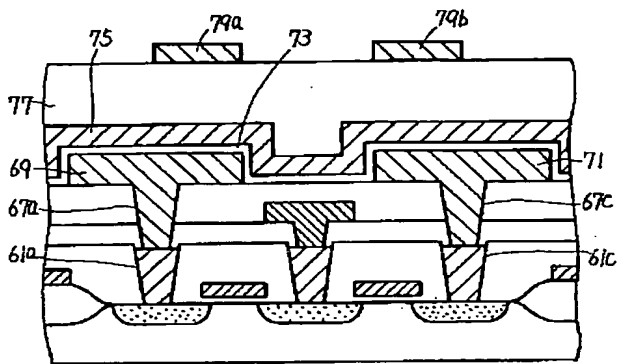
【図6】



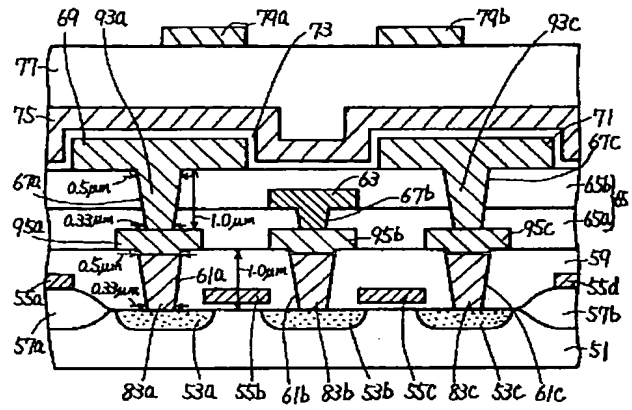
【図7】



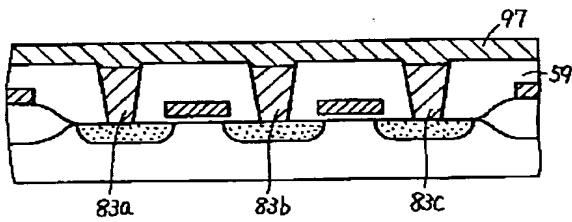
【図8】



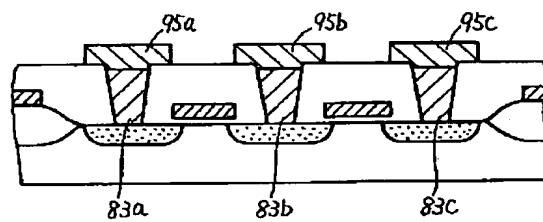
【図9】



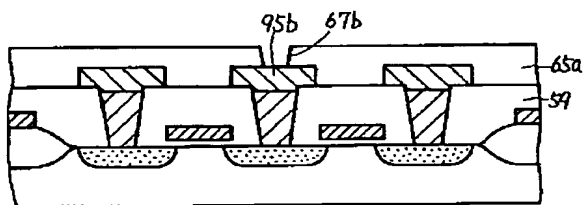
【図10】



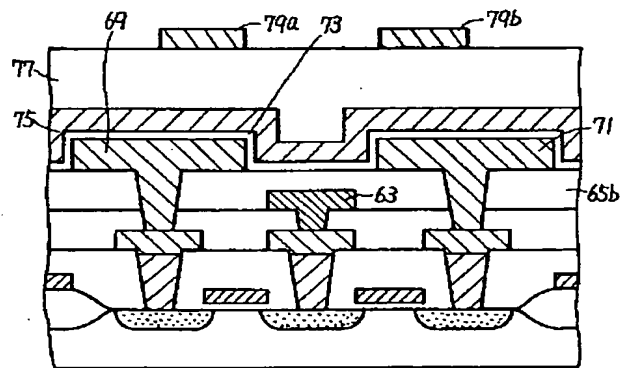
【図11】



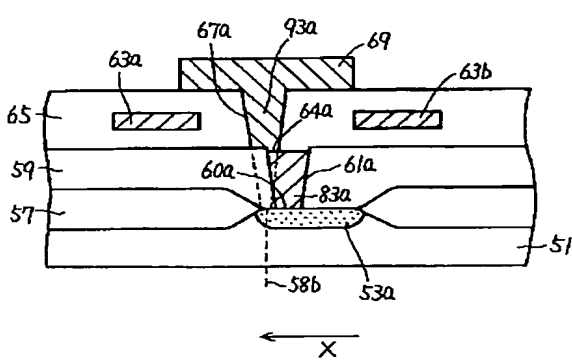
【図12】



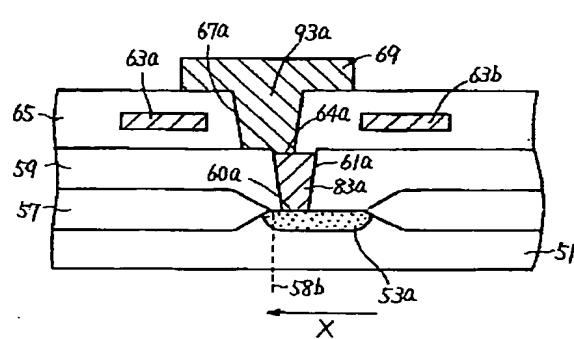
【図13】



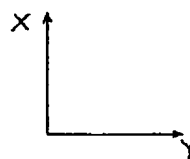
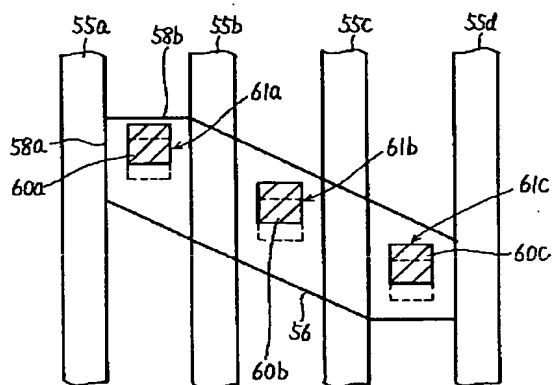
【図18】



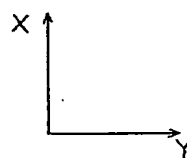
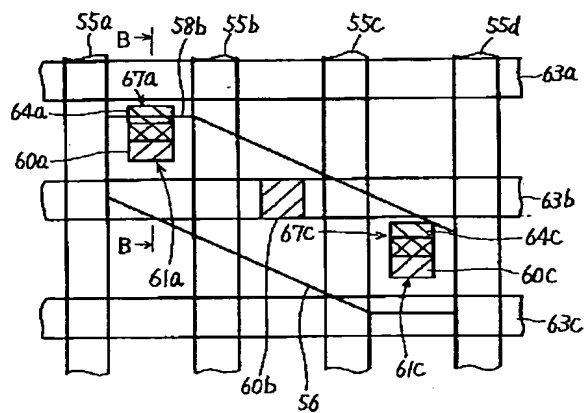
【図19】



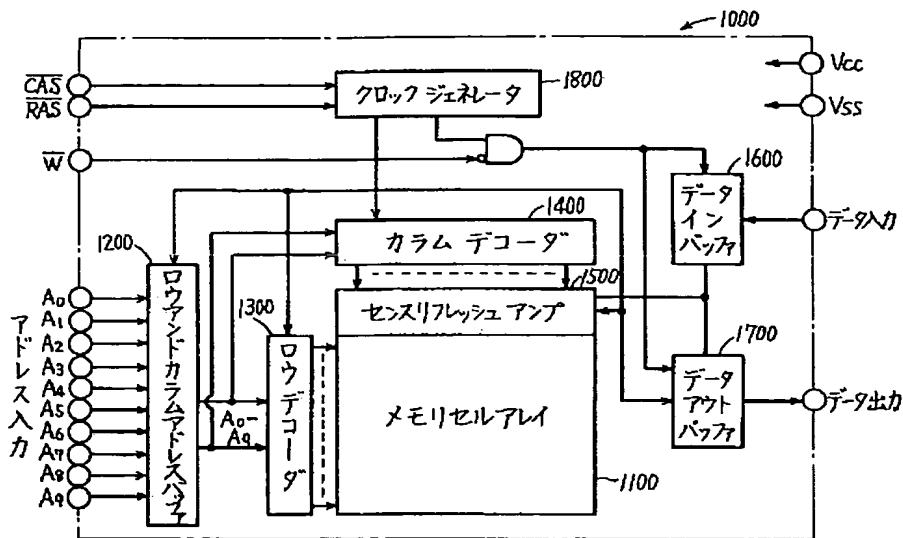
【图 15】



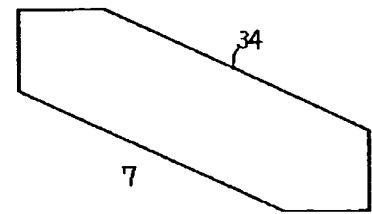
【图 17】



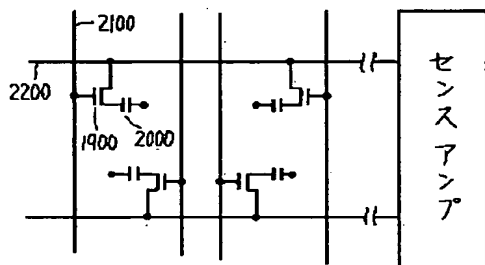
【図20】



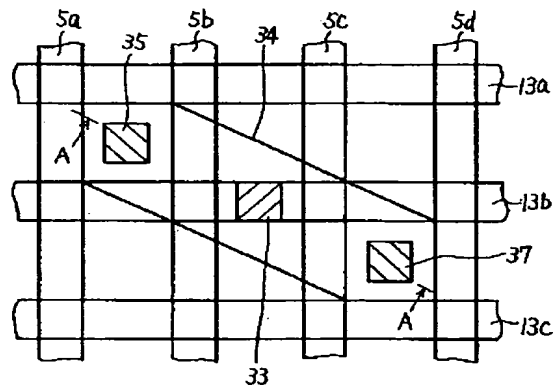
【図33】



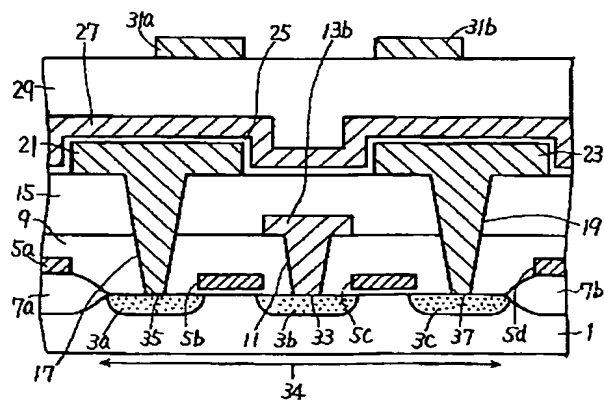
【図21】



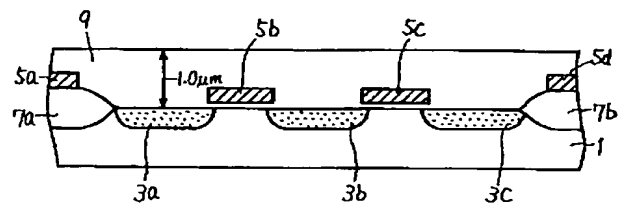
【図22】



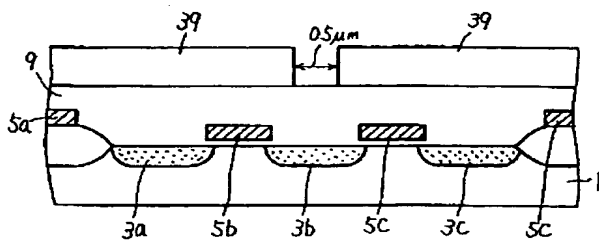
【図23】



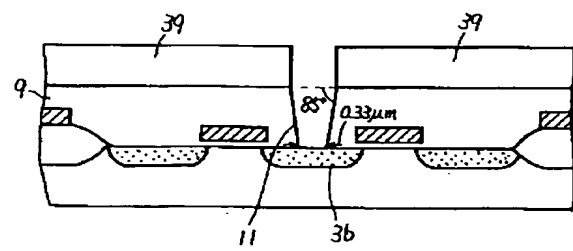
【図24】



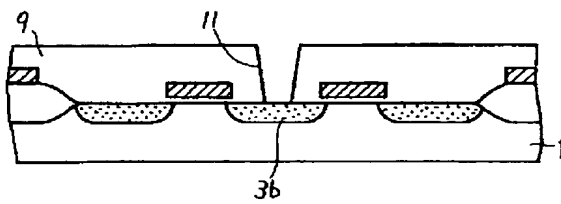
【図25】



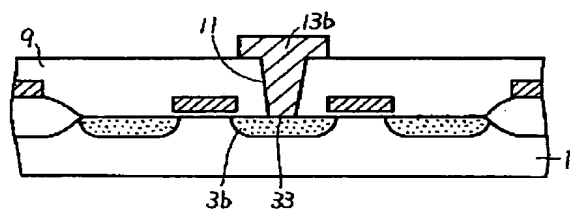
【図26】



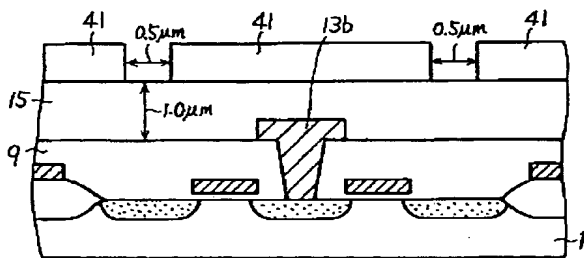
【図27】



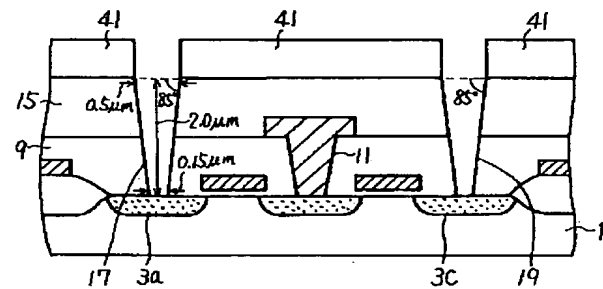
【図28】



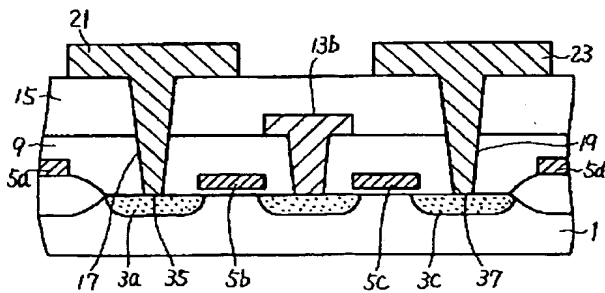
【図29】



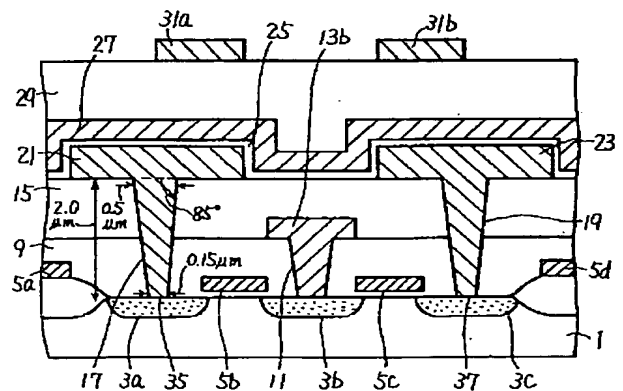
【図30】



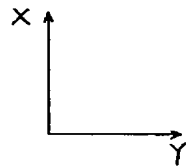
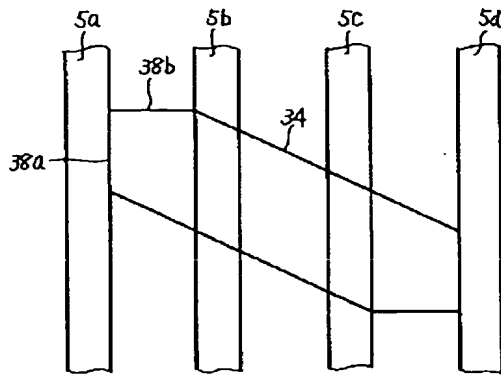
【図31】



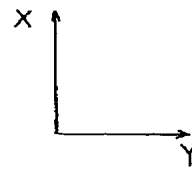
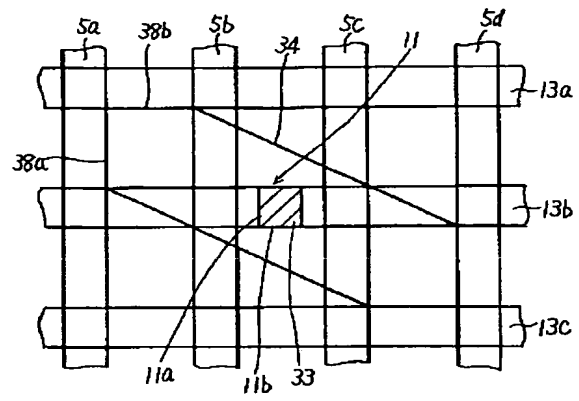
【図32】



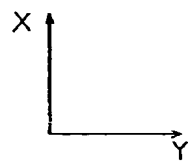
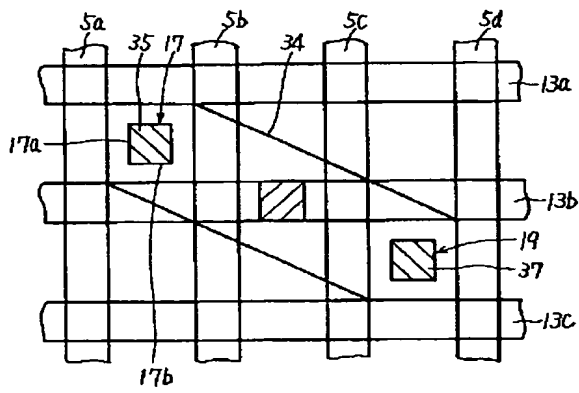
【図34】



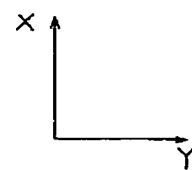
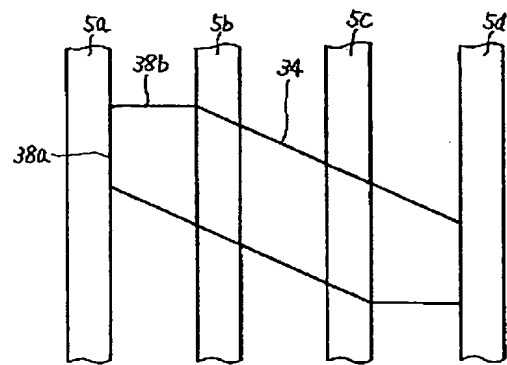
【図35】



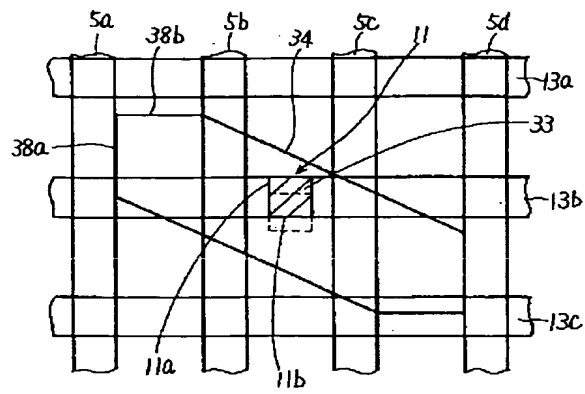
【図36】



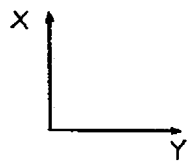
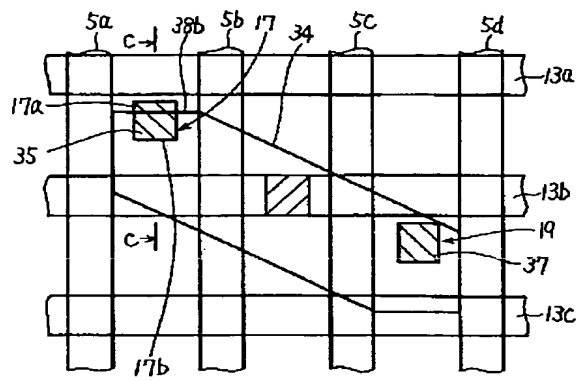
【図37】



【図38】



【図39】



【図40】

